

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2643908号

(45) 発行日 平成 9 年 (1997) 8 月 25 日

(24) 登録日 平成 9 年 (1997) 5 月 2 日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/115			H 0 1 L 27/10	4 3 4
21/8247			29/78	3 7 1
29/788				
29/792				

請求項の数 3 (全 5 頁)

(21) 出願番号	特願平7-121136	(73) 特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成7年(1995)5月19日	(72) 発明者	國尾 武光 東京都港区芝五丁目7番1号 日本電気株式会社内
(65) 公開番号	特開平8-316440	(74) 代理人	弁理士 京本 直樹 (外2名)
(43) 公開日	平成8年(1996)11月29日	審査官	大嶋 洋一

(54) 【発明の名称】 強誘電体メモリ

1

(57) 【特許請求の範囲】

【請求項1】 ゲート絶縁膜を強誘電体材料とする金属-強誘電体-半導体電界効果型トランジスタをウェル内に形成したメモリセルが、ワード線とビット線の交差位置に配置される強誘電体メモリにおいて、一つのウェル内には、一つのビット線に接続された複数のメモリセルが設けられていることを特徴とする強誘電体メモリ。

【請求項2】 ビット線方向の素子分離の深さが、ワード線方向の素子分離より深く、しかもウェルの深さは前記ビット線方向の素子分離より浅く、前記ワード線方向の素子分離深さよりも深い請求項1に記載の強誘電体メモリ。

【請求項3】 ウェルとワード線に電圧を印加し、書き込み・消去をする際、ビット線電位をウェル電位と同一とすることを特徴とする請求項1または2に記載の強誘電

2

体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、強誘電体材料を利用した不揮発性メモリに関する。

【0002】

【従来の技術】 ゲート絶縁膜を強誘電体材料とする金属 (Metal) - 強誘電体 (Ferroelectric) - 半導体 (Semiconductor) 電界効果型トランジスタ (MFSFET) は、図3に示すような MOSFET に類似した構造を有している。つまり半導体基板 (通常はシリコン基板) 95 上に離れて形成した二つの拡散層 71 と、二つの拡散層の間の基板表面に設けたゲート絶縁膜 61 とその上のゲート電極 35 で構成される。通常の MOSFET ではゲート絶縁膜 61 がシ

リコン酸化膜であるのを、MFSFETでは強誘電体薄膜を使う。

【0003】MFSFETでは、ゲート絶縁膜61である強誘電体の分極反転に起因するトランジスタのしきい値 $V_{t1}$ 、 $V_{t2}$ の変化を二値情報として利用している。すなわち、図4に示すように、ある一定のゲート電圧 $V_{g1}$ を印加した際に、トランジスタを流れるドレイン電流85の大きさが異なることにより、二値の情報を判定する。ゲート絶縁膜の分極反転はゲート電極35と半導体基板95間に正または負の電圧を印加する事により実現される。

【0004】このMFSFETをメモリ素子に応用する時、MFSFETをマトリクス状に多数個配置する必要がある。この配置を示す回路図を図5に示す。

【0005】一つのウェル領域2内にMFSFETを多数配置し、FETのゲート電極をワード線31、32、33・・・に接続し、ソース・ドレインの一方をビット線41、42、43・・・に接続し、他方を接地(5)する。基板領域を一定電位に接続する。

【0006】このメモリセルのレイアウトパターンを図6に示す。ウェル領域2内に素子領域10を規則的に配置し、ゲート電極であるワード線31、32、33・・・を形成する。図6の断面構造を図7に示す。図7

(a)は図6のA1-A2断面を、図7(b)は図6のB1-B2断面である。素子間は通常のLSIと同様に素子分離領域を形成して分離する。

【0007】

【発明が解決しようとする課題】しかしながら、マトリクス状に配置されたMFSFETを同一ウェル領域2内に配置し、ゲート電極と基板間に電圧を印加するために同一ワード線、例えばワード線31とウェル領域2に電圧を印加するとワード線31上に接続された複数のメモリセルに同時にデータを書き込むことになってしまうという問題があった。

【0008】また、これを防止する目的で同一ワード線上のウェルを分離するように、従来の素子分離構造、すなわちLOCOS素子分離構造を用いるとP-N間分離幅が大きく、チップサイズが大きくなるという問題があった。

【0009】上記のような同一ウェル内にメモリセルアレイが整列された配置では、一つのメモリセルに一つの情報を書き込み・消去することが不可能である。この発明では、かかる課題を解決し、各メモリセルに単独にデータを書き込み、消去できるようにすることを目的としている。

【0010】

【課題を解決するための手段】本発明は、複数のワード線とビット線が交差し、その交差位置にゲート絶縁膜を強誘電体材料とする金属-強誘電体-半導体電界効果型トランジスタにより構成されるメモリセルが配置される

メモリセルアレイで、一つのビット線に接続された複数のメモリセルを一つのウェルで分離している。

【0011】また、ビット線方向の素子分離に第1の素子分離法を用い、ワード線方向の素子分離に前記第1の素子分離法により得られる素子分離厚さより薄い第2の素子分離を用いること及び前記第1の素子分離深さより浅く、前記第2の素子分離深さより深いウェルを用いている。

【0012】さらに、ウェルとワード線に電圧を印加し、書き込み・消去をする際、ビット線電位をウェル電位と同一とするようにしている。

【0013】

【作用】MFSFET構造をメモリセルとすると、ゲート電極と基板領域間に電圧を印加する事により、ゲート絶縁膜である強誘電体材料の分極反転が起こり、MFSFETの閾値電圧が変化する。これを情報として蓄えられる。

【0014】この時、メモリセルアレイを構成するメモリセルにそれぞれ一つずつの情報を蓄積するには、ワード線に接続されている複数のMFSFETのゲート電極とウェルで分離された複数のMFSFETの基板領域がただ一点で交差する必要がある。これをウェルの領域を制限することにより実現したものである。

【0015】メモリセルアレイに含まれる各メモリセルはウェル深さより浅い素子分離により電氣的分離を行う。一方ビット線方向の素子分離にウェル深さより深い素子分離を用いることにより、各ビット線に接続されたメモリセル群のウェルを互いに電氣的に分離できる。

【0016】また、書き込みに際して、書き込みを行うメモリセルの接続されたビット線電位とウェル電位を同一にすることにより、ゲート絶縁膜下の基板領域表面に空乏層容量を発生しないようにできるため、ゲート電極及びウェル間に効果的に電界を印加できる。

【0017】

【実施例】図1はこの発明の構成を示すメモリセルアレイ回路図である。図2(a)は図1の回路を実現するセルアレイのレイアウト図である。さらに、図2(b)、(c)は(a)図に示す2つの位置C1-C2、D1-D2でのデバイス断面を模式的に示している。

【0018】図1に示したように、ビット線41、42、43にそれぞれ接続されたMFSFET群は各ウェル領域内21、22、23に配置される。すなわち、異なるビット線に接続されたMFSFETが同一のウェル中に存在することはない。また、同一のワード線に接続されたMFSFETは同一のウェル中に存在することはない。このとき、同一ビット線に接続されたMFSFETは同一ウェル内に位置するので、基板電位を同一ウェル端子、例えば、221、222、223への電圧印加で決定できる。

【0019】また、MFSFETのビット線に接続され

ていない方の拡散層は、異なるウェル領域内に位置する全てのMFSFETも含めて、共通な接地端子5に接続される。所望のセルに対するデータの書き込みに際しては所望のセルの位置を規定するワード線とウェル間に、

ゲート絶縁膜となる強誘電体材料の抗電界以上の電圧を印加し、分極反転を起こさせる。

【0020】以下に、この強誘電体メモリの製造方法を図2を用いて説明する。

【0021】n型Si基板にpウェルを形成し、二種類の深さの素子分離領域を形成し、その後MFSFETを作製する。

【0022】素子分離方法について詳述する。素子分離を形成する前にメモリセルアレイが形成される領域にp型伝導領域すなわち、pウェルを形成する。このとき、ウェルの深さは一例として300nm程度にしておく。

【0023】その後、同一のビット線に接続されたMFSFET間を電気的に分離するために、ワード線と平行に、素子分離深さがウェルの深さよりも浅い素子分離領域8を形成する。具体的には、LOCOS(Local Oxidation of Si)素子分離法やトレンチ分離法を用い、分離深さを200nm程度にしておく。

【0024】次に、同一のワード線に接続されるMFSFET間を分離するための素子分離9を形成する。この素子分離深さはウェル深さ300nmより深く形成することが重要である。本実施例ではトレンチ分離法を使った。

【0025】まず、この深い素子分離領域9となる部分が開口したフォトリソパターンを形成する。その後、ドライエッチ法により、Si基板をエッチングし、深い素子分離9に対応する深さ約400nmの溝を形成する。この溝はウェル深さ300nmより深い必要がある。

【0026】次に、フォトリソを除去し、ウェル前面にSi酸化膜を堆積し、深い素子分離9の溝を埋設する。その後、エッチバック法や化学機械研磨法を用いて、溝中のSi酸化膜のみを残し、素子が作製される素子領域10にはSi酸化膜が残らないようにする。その後、前述の方法によりMFSFETを作製する。

【0027】素子分離終了後、ゲート絶縁膜6として強誘電体材料Pb(Zr, Ti)O<sub>3</sub> (以下略してPZTとする)をゾルゲル法、又はスパッタ法により成膜する。その後、ポリシリコンを成膜後、露光工程、エッチング工程を経て、MFSFETのゲート電極、すなわちワード線3を形成する。更に、イオン注入法によりAs元素をシリコン基板に注入し、ソース・ドレイン領域となる拡散層7を形成する。その後、アルミ合金系配線を形成し、メモリ素子の作製が終了する。

【0028】本実施例では強誘電体材料としてPZTを用いたが、他の材料、例えばMgBaF<sub>4</sub>やSrBiTa<sub>2</sub>O<sub>9</sub>等でもよい。

【0029】また、素子分離方法として、LOCOS法

やトレンチ法を用いたが、分離深さが異なる素子分離法ならば、シールドプレート法等の他の方法でもよい。

【0030】次に、請求項3に記載した動作方法についての実施例を示す。

【0031】MFSFETメモリセル11へのデータの書き込みに際して、ワード線31とウェル221間にゲート絶縁膜を構成する強誘電体材料の抗電界の約2倍程度を印加することにより強誘電体材料の分極方向を変更することができる。

【0032】このとき、ビット線電位をウェル電位221と同一にする。これにより、MFSFETのチャネル部に発生する空乏層を制御することができ、ワード線-ウェル間に印加した電圧を殆ど強誘電体ゲート絶縁膜に印加することが可能になる。

【0033】

【発明の効果】以上に説明したように構成されたこの発明は、以下に示すような効果を奏する。

【0034】同一ビット線に接続されたMFSFET群が同一ウェル中に位置し、同一ワード線に接続されたMFSFETは全て異なるウェルに位置するので、ワード線とウェルの選択のみで書き込むべきメモリセルを一つ選択出来る。

【0035】また、素子分離の深さが異なる2つの素子分離領域を使うこと及びウェル深さをこれらの分離深さの間の深さに調整することにより、異なるビット線に接続されるMFSFET間の分離幅を最小分離幅に設定することが出来る。

【0036】更に、ビット線とウェルの電位を同一にすることにより、MFSFETチャネル領域の空乏層発生を防止できるため、低電圧で強誘電体材料の分極反転を行える。

【図面の簡単な説明】

【図1】この発明の実施例を示す回路図である。

【図2】この発明の実施例を示すレイアウト図及び断面模式図である。

【図3】一般的なMFSFETの構成図である。

【図4】一般的なMFSFETのヒステリシス特性図である。

【図5】従来例を示す回路図である。

【図6】従来例を示すレイアウト図である。

【図7】従来例を示す断面模式図である。

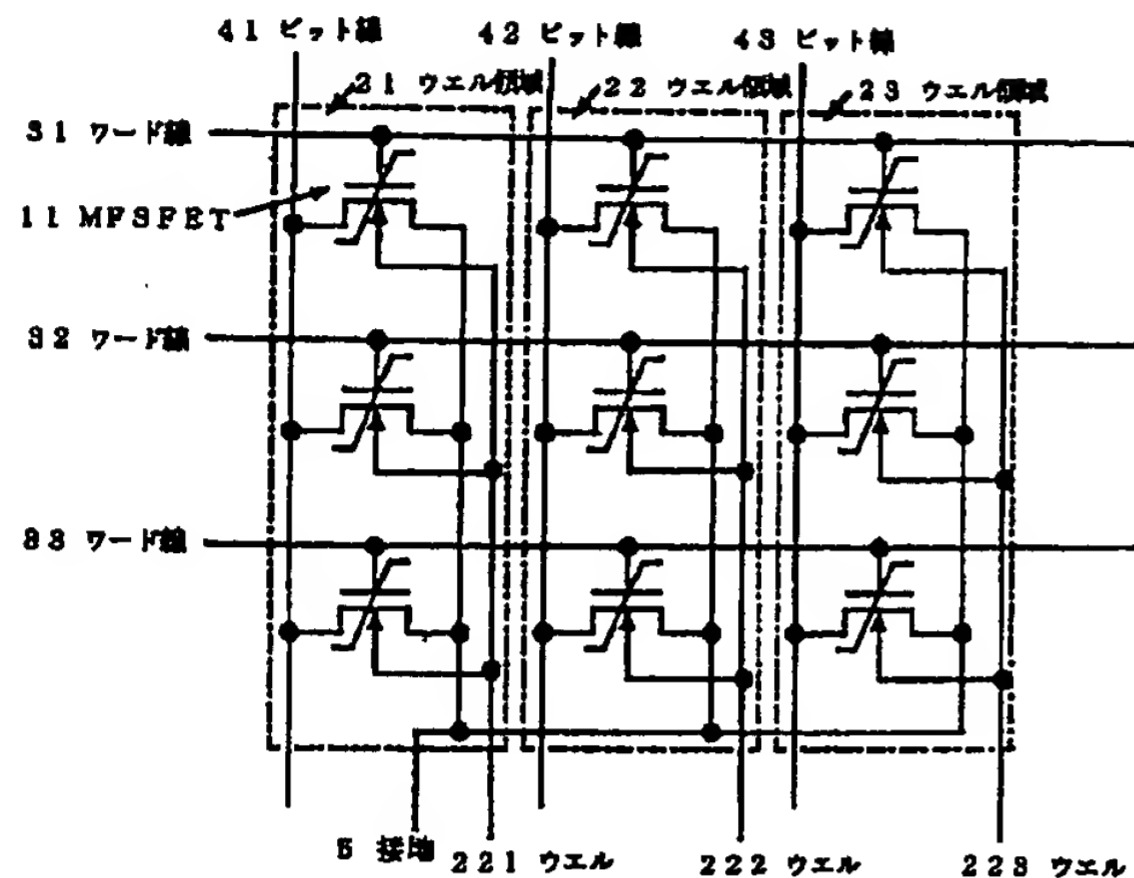
【符号の説明】

- 21、22、23 ウェル領域
- 221、222、223 ウェル
- 3、31、32、33 ワード線
- 41、42、43 ビット線
- 5 接地
- 6、61 ゲート絶縁膜
- 7 拡散層
- 8 浅い素子分離

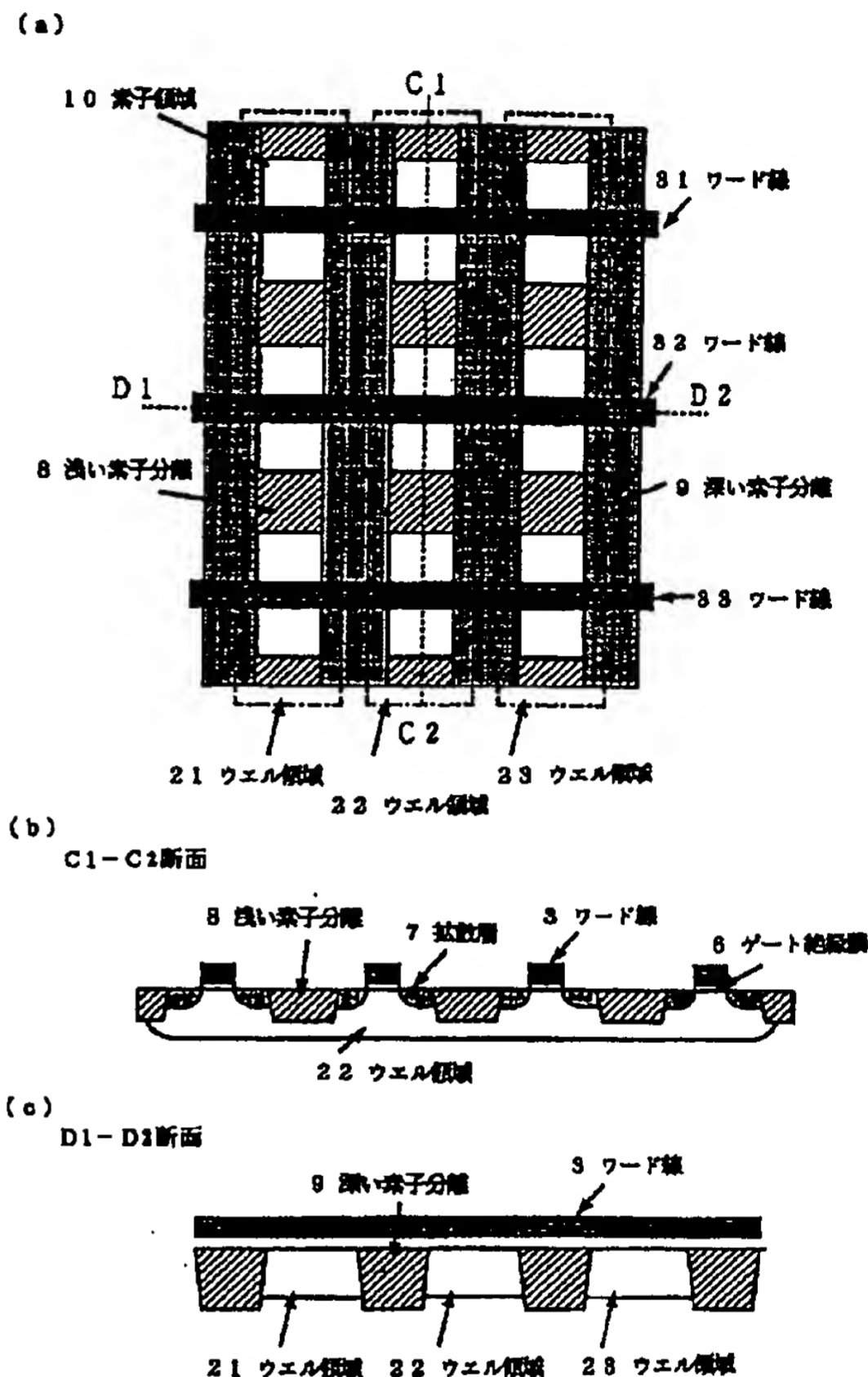
- 9 深い素子分離  
10 素子領域  
85 ドレイン電流

- 35 ゲート電極  
95 半導体基板

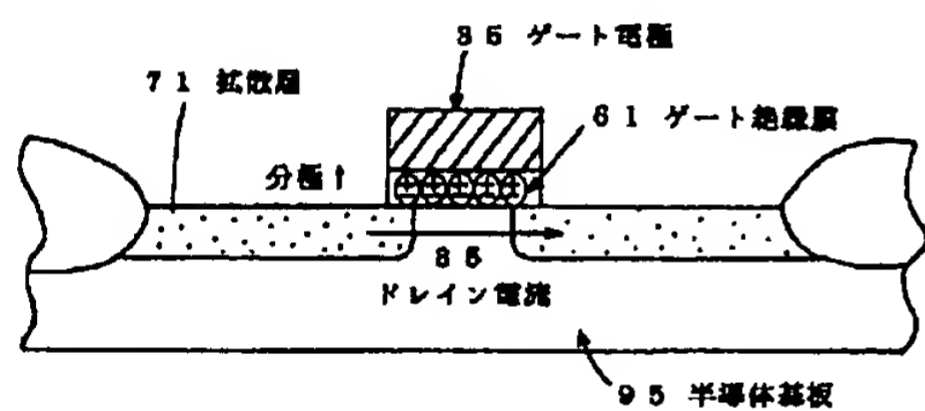
【図1】



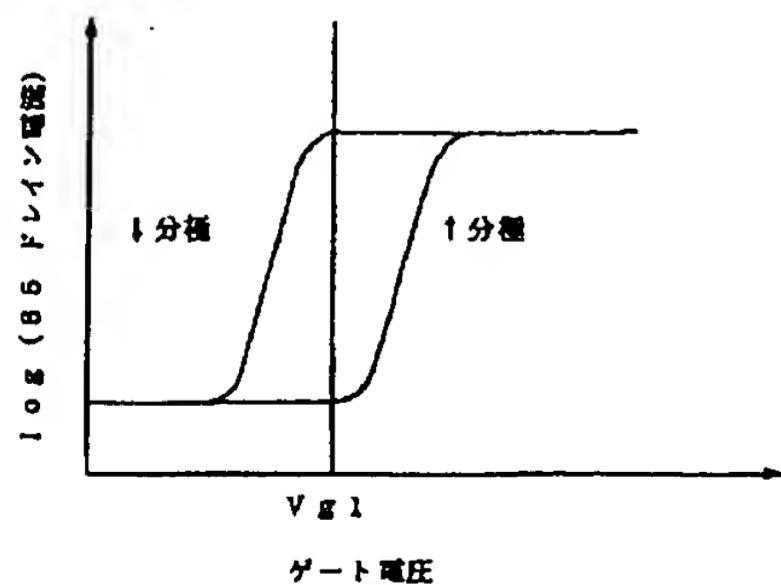
【図2】



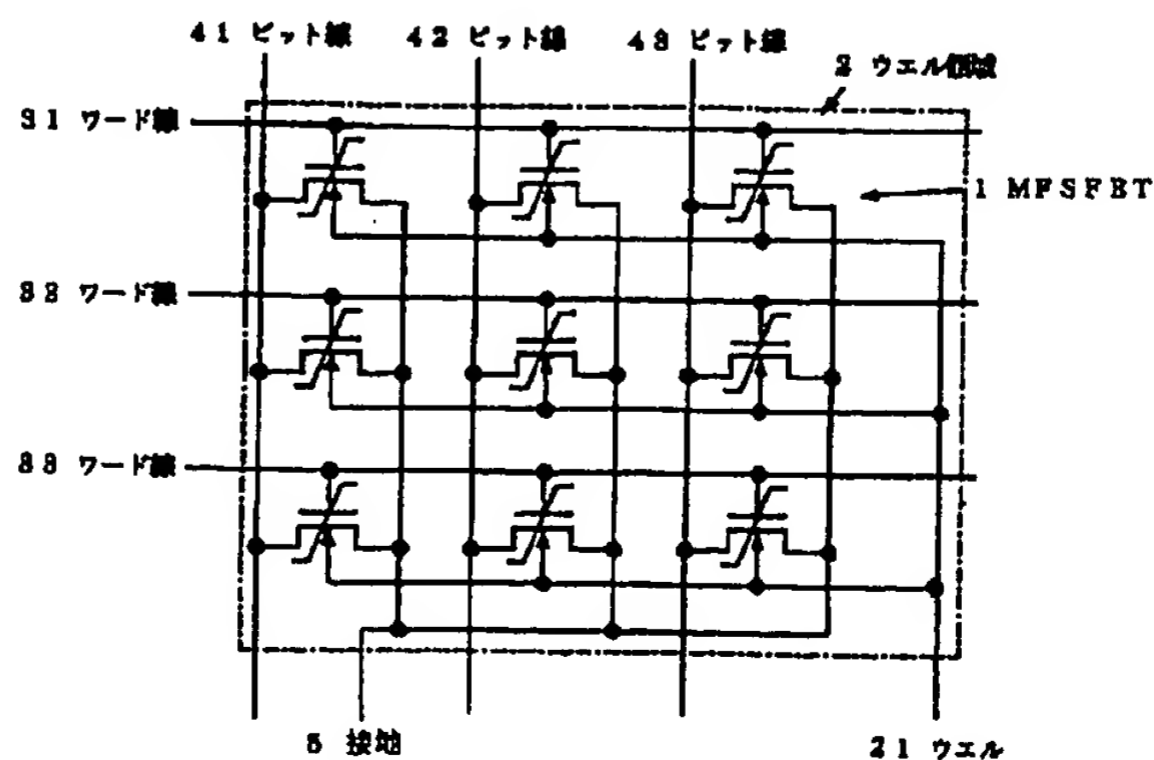
【図3】



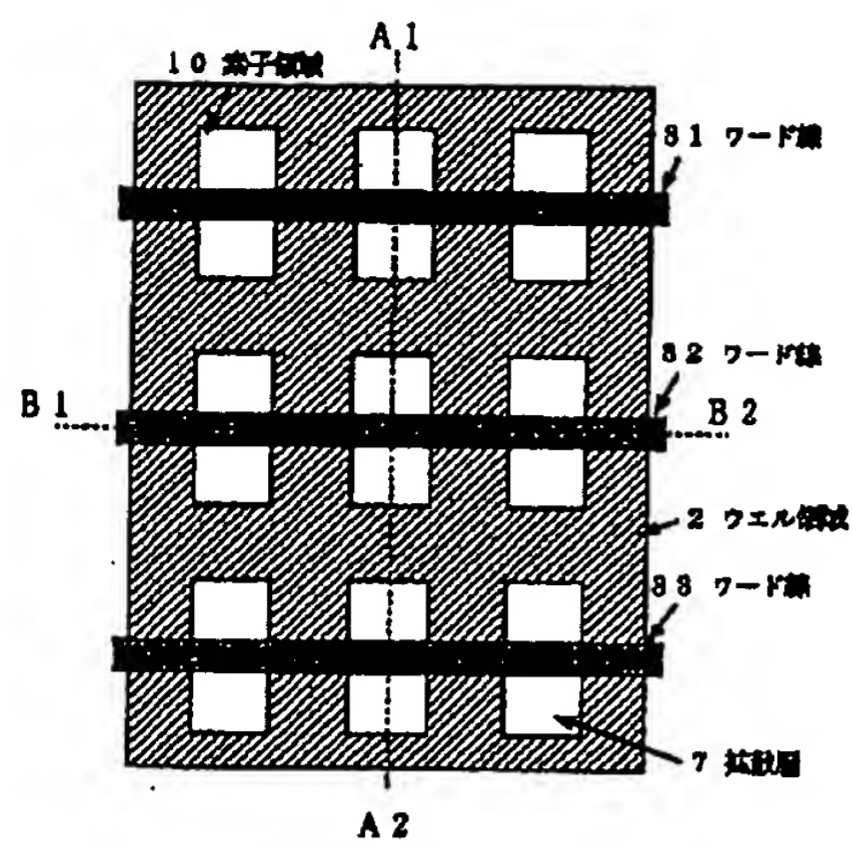
【図4】



【図5】



【図6】



【図7】

